

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-203488

(P2005-203488A)

(43) 公開日 平成17年7月28日(2005.7.28)

(51) Int.Cl.⁷

H01L 23/32

F1

H01L 23/32

D

テーマコード(参考)

審査請求 未請求 請求項の数 5 O L (全 12 頁)

(21) 出願番号	特願2004-6670 (P2004-6670)	(71) 出願人	000004260
(22) 出願日	平成16年1月14日(2004.1.14)		株式会社デンソー
			愛知県刈谷市昭和町1丁目1番地
		(74) 代理人	100100022
			弁理士 伊藤 洋二
		(74) 代理人	100108198
			弁理士 三浦 高広
		(74) 代理人	100111578
			弁理士 水野 史博
		(72) 発明者	太田 真治
			愛知県刈谷市昭和町1丁目1番地 株式会
			社デンソー内
		(72) 発明者	浅井 昭喜
			愛知県刈谷市昭和町1丁目1番地 株式会
			社デンソー内

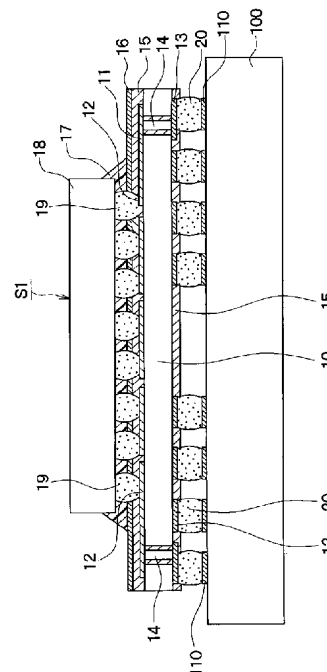
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 フリップチップ型のBGAにおいて溶剤レジストへ加わる応力による配線部の断線を抑制する。

【解決手段】 一面側に配線部11、12を有し、配線部11、12の表面の一部が溶剤レジスト15にて被覆されたインターポーザ基板10と、インターポーザ基板10の一面側にフリップチップバンプ19を介して搭載された半導体チップ18と、半導体チップ18とインターポーザ基板10との隙間を埋めるように充填されたアンダーフィル材17とを備える半導体装置S1において、溶剤レジスト15とアンダーフィル材17との間に、溶剤レジスト15とアンダーフィル材17との間に発生する応力を緩和するための中間層16が介在している。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

少なくとも一面側に配線部（１１、１２）を有し、前記配線部（１１、１２）の表面の一部が溶剤レジスト（１５）にて被覆されたインターポーザ基板（１０）と、

前記インターポーザ基板（１０）の一面側にフリップチップバンプ（１９）を介して搭載された半導体チップ（１８）と、

前記半導体チップ（１８）と前記インターポーザ基板（１０）との隙間を埋めるように充填されたアンダーフィル材（１７）とを備える半導体装置において、

前記溶剤レジスト（１５）と前記アンダーフィル材（１７）との間に、前記溶剤レジスト（１５）と前記アンダーフィル材（１７）との間に発生する応力を緩和するための中間層（１６）が介在していることを特徴とする半導体装置。 10

【請求項 2】

前記中間層（１６）は、熱膨張係数が前記アンダーフィル材（１７）よりも大きく且つヤング率が前記溶剤レジスト（１５）と前記アンダーフィル材（１７）との中間の大きさであることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記中間層（１６）は、前記アンダーフィル材（１５）のフィレット部の端部の直下に設けられていることを特徴とする請求項 1 または 2 に記載の半導体装置。

【請求項 4】

前記インターポーザ基板（１０）は、スルーホール（１４）を有するものであり、 20

前記インターポーザ基板（１０）の一面側に設けられた前記配線部（１１）は、前記アンダーフィル材（１７）のフィレット部の端部の直下では、前記スルーホール（１４）を介して前記インターポーザ基板（１０）の内部に引き出されていることを特徴とする請求項 1 または 2 に記載の半導体装置。

【請求項 5】

少なくとも一面側に配線部（１１、１２）を有し、前記配線部（１１、１２）の表面の一部が溶剤レジスト（１５）にて被覆されたインターポーザ基板（１０）と、

前記インターポーザ基板（１０）の一面側にフリップチップバンプ（１９）を介して搭載された半導体チップ（１８）と、

前記半導体チップ（１８）と前記インターポーザ基板（１０）との隙間を埋めるように充填されたアンダーフィル材（１７）とを備える半導体装置において、 30

前記インターポーザ基板（１０）は、スルーホール（１４）を有するものであり、

前記インターポーザ基板（１０）の一面側に設けられた前記配線部（１１）は、前記アンダーフィル材（１７）のフィレット部の端部の直下では、前記スルーホール（１４）を介して前記インターポーザ基板（１０）の内部に引き出されていることを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、一面側に設けられた配線部の表面の一部が溶剤レジストにて被覆されたインターポーザ基板の一面側に、フリップチップバンプおよびアンダーフィル材を介して半導体チップを搭載してなる半導体装置に関する。 40

【背景技術】

【0002】

この種の半導体装置としては、たとえば BGA（ボールグリッドアレイ）が知られている。

【0003】

BGA は、多ピンの IC に対して有効で実装面積を小さくすることが可能なパッケージ形態であり、半導体チップを実装したインターポーザ基板の下面にはんだバンプを面配置 50

に取り付けたものである。

【0004】

そして、ICの多ピン化およびそれに伴う接続抵抗の増大の抑制、放熱性の向上を図るなどの理由から、フリップチップ型のBGAが使用されるようになってきている（たとえば、特許文献1参照）。

【0005】

このフリップチップ型のBGAの一般的な断面構成を図7に示す。プラスチック製のインターポーザ基板10におけるチップ搭載面には半導体チップ18が、金やはんだなどからなるフリップチップバンプ19を介して搭載されている。

【0006】

そして、インターポーザ基板10におけるチップ搭載面とは反対側の面には、はんだなどからなるバンプ20が形成されており、このバンプ20を介して、BGAは実装基板100に搭載されている。。

【0007】

また、インターポーザ基板10のチップ搭載面側には、導体部としての配線部11、12が形成されている。そして、この配線部11、12のうちフリップチップバンプ19と接続されたフリップチップ接続ランド12以外の配線部11の表面がソルダーレジスト15によって被覆されている。

【0008】

ここで、図7に示されるように、半導体チップ18とインターポーザ基板10との間には、アンダーフィル材17が充填されている。

【0009】

このアンダーフィル材17の充填は、フリップチップ接続部の物理的強度の補強と、半導体チップ18とインターポーザ基板10との熱膨張係数の差により発生する熱応力によりフリップチップ接続部が破壊されてしまうのを防止するためである。

【0010】

一般には、アンダーフィル材17は、シリカ等のフィラー等を混ぜることにより熱膨張係数等の物性を調整したエポキシ樹脂等からなり、半導体チップ18とインターポーザ基板10との熱膨張係数差によって発生する熱応力がフリップチップ接続部にそのままかかるのを防止する役目を果たしている。

【0011】

その形成方法は、半導体チップ18とインターポーザ基板10との間にアンダーフィル材17となる樹脂を、フリップチップ接続を行う前に半導体チップ18に塗布したり、フリップチップ接続を行った後に、半導体チップ18の端部近傍に塗布し、毛細管現象により注入した後、熱硬化するといった工法を採用することができる。

【0012】

また、アンダーフィル材17としては、上記した樹脂の代わりにNCP（Non Conductive Paste）、ACP（Anisotropic Conductive Paste）といった樹脂を使用したものもある。

【0013】

NCPでは、樹脂硬化時の収縮による力をフリップチップ接続部の圧接に利用しており、ACPではペースト内の導電性成分によって電氣的接続を行っているが、フリップチップ接続部の補強および熱応力の緩和という作用は、同じである。

【特許文献1】特開平7-226455号公報

【発明の開示】

【発明が解決しようとする課題】

【0014】

しかしながら、本発明者らの検討によれば、このようなフリップチップ型のBGAにおいては、温度サイクルを繰り返すと、インターポーザ基板10においてソルダーレジスト15で被覆された配線部11が、アンダーフィル材17のフィレット部の端部近傍および

10

20

30

40

50

アンダーフィル材 17 に発生したボイドの端部近傍で断線するという問題が発生することがわかった。

【0015】

図 8 (a)、(b) は、それぞれ、図 7 に示される BGA において、アンダーフィル材 17 のフィレット部の端部近傍、アンダーフィル材 17 に発生したボイド B の端部近傍を拡大して示す断面図である。

【0016】

上記した配線部 11 の断線は、以下の理由によるものと考えられる。

【0017】

図 8 において、アンダーフィル材 17 の端部では、アンダーフィル材 17 がソルダーレジスト 15 よりも高剛性であるため、図中の両矢印に示されるように、その近傍にあるソルダーレジスト 15 に温度サイクル等により大きな熱応力が発生する。 10

【0018】

そして、この繰り返しにより、ソルダーレジスト 15 にクラック K が発生し、このクラック K が進展し、配線部 11 まで達すると、配線部 11 にもクラック K が発生し断線にいたるといえるものである。実際に、ソルダーレジスト 15 のクラック近傍にて配線部 5 の断線が確認された。

【0019】

ここで、ソルダーレジスト 15 にかかる応力を低減する対策としてソルダーレジスト 15 の低弾性化を行うことが考えられる。一方、配線幅を増加させたり配線膜厚を増加させたりすることで配線部 11 の強度を向上させることも考えられる。 20

【0020】

しかしながら、これらの対策は、ソルダーレジスト 15 や配線部 11 の構成の変更すなわちインターポーザ基板 10 の構成の変更を伴うものであり、また、材料物性の限界や構造上の制約から十分な効果を得ることは困難である。

【0021】

なお、このような問題は、上記 BGA 以外にも、少なくとも一面側に配線部を有し、配線部の表面の一部がソルダーレジストにて被覆されたインターポーザ基板と、インターポーザ基板の一面側にフリップチップパンプを介して搭載された半導体チップと、半導体チップとインターポーザ基板との隙間を埋めるように充填されたアンダーフィル材とを備える半導体装置について共通の問題と考えられる。 30

【0022】

本発明は、上記問題に鑑み、ソルダーレジストへ加わる応力による配線部の断線を抑制することを目的とする。

【課題を解決するための手段】

【0023】

上記目的を達成するため、請求項 1 に記載の発明では、少なくとも一面側に配線部 (11、12) を有し、配線部 (11、12) の表面の一部がソルダーレジスト (15) にて被覆されたインターポーザ基板 (10) と、インターポーザ基板 (10) の一面側にフリップチップパンプ (19) を介して搭載された半導体チップ (18) と、半導体チップ (18) とインターポーザ基板 (10) との隙間を埋めるように充填されたアンダーフィル材 (17) とを備える半導体装置において、ソルダーレジスト (15) とアンダーフィル材 (17) との間に、ソルダーレジスト (15) とアンダーフィル材 (17) との間に発生する応力を緩和するための中間層 (16) が介在していることを特徴としている。 40

【0024】

それによれば、ソルダーレジスト (15) とアンダーフィル材 (17) との間に介在する中間層 (16) によって、ソルダーレジスト (15) とアンダーフィル材 (17) との間に発生する応力が緩和される。

【0025】

このように、本発明によれば、中間層を介在させるのみの簡単な構成であるため、ソル 50

ダーレジストや配線部の構成を変更することなく、ソルダーレジストへ加わる応力の集中を低減することができる。したがって、ソルダーレジストへ加わる応力による配線部の断線を抑制することができる。

【0026】

ここで、請求項2に記載の発明では、請求項1に記載の半導体装置において、中間層（16）は、熱膨張係数がアンダーフィル材（17）よりも大きく且つヤング率がソルダーレジスト（15）とアンダーフィル材（17）との中間の大きさであることを特徴としている。

【0027】

中間層（16）をこのようなものとすることにより、上記請求項1に記載の発明の効果 10
を適切に実現することができる。

【0028】

また、請求項3に記載の発明では、請求項1または請求項2に記載の半導体装置において、中間層（16）は、アンダーフィル材（15）のフィレット部の端部の直下に設けられていることを特徴としている。

【0029】

それによれば、配線部の断線の生じやすいアンダーフィル材（17）のフィレット部の端部において、中間層（16）が存在するため、効果的である。

【0030】

また、請求項4に記載の発明では、請求項1または請求項2に記載の半導体装置において、インターポーザ基板（10）は、スルーホール（14）を有するものであり、インターポーザ基板（10）の一面側に設けられた配線部（11）は、アンダーフィル材（17）のフィレット部の端部の直下では、スルーホール（14）を介してインターポーザ基板（10）の内部に引き出されていることを特徴としている。 20

【0031】

それによれば、配線部の断線の生じやすいアンダーフィル材（17）のフィレット部の端部において、ソルダーレジスト（15）の直下に配線部が存在しないため、ソルダーレジストへ加わる応力による配線部の断線という問題は回避される。

【0032】

請求項5に記載の発明では、少なくとも一面側に配線部（11、12）を有し、配線部（11、12）の表面の一部がソルダーレジスト（15）にて被覆されたインターポーザ基板（10）と、インターポーザ基板（10）の一面側にフリップチップバンプ（19）を介して搭載された半導体チップ（18）と、半導体チップ（18）とインターポーザ基板（10）との隙間を埋めるように充填されたアンダーフィル材（17）とを備える半導体装置において、インターポーザ基板（10）は、スルーホール（14）を有するものであり、インターポーザ基板（10）の一面側に設けられた配線部（11）は、アンダーフィル材（17）のフィレット部の端部の直下では、スルーホール（14）を介してインターポーザ基板（10）の内部に引き出されていることを特徴としている。 30

【0033】

それによれば、配線部の断線の生じやすいアンダーフィル材（17）のフィレット部の端部において、ソルダーレジスト（15）の直下に配線部が存在しないため、ソルダーレジストへ加わる応力による配線部の断線という問題は回避される。 40

【0034】

よって、本発明によれば、ソルダーレジストへ加わる応力による配線部の断線を抑制することができる。

【0035】

なお、上記各手段の括弧内の符号は、後述する実施形態に記載の具体的手段との対応関係を示す一例である。

【発明を実施するための最良の形態】

【0036】

以下、本発明の実施形態について図に基づいて説明する。なお、以下の各実施形態相互において、互いに同一もしくは均等である部分には、説明の簡略化を図るべく、図中、同一符号を付してある。

【0037】

(第1実施形態)

図1は、本発明の第1実施形態に係る半導体装置S1としてのBGA（ボールグリッドアレイ）の概略断面構成を示す図である。

【0038】

また、図2(a)、(b)は、それぞれ、図1に示される半導体装置S1において、アンダーフィル材17のフィレット部の端部近傍、アンダーフィル材17に発生したボイドBの端部近傍を拡大して示す断面図である。 10

【0039】

インターポーザ基板10は、BT樹脂(Bismaleimide Triazine)、エポキシ樹脂、ポリイミド樹脂等の合成樹脂を主成分とした基材により構成されており、基材の厚さは例えば0.1~0.5mm程度のものである。

【0040】

このインターポーザ基板10の上面すなわちチップ搭載面および下面には、Cu等の導体からなる配線部11、12、13が形成されている。

【0041】

これら配線部11~13としては、インターポーザ基板10の上面(チップ搭載面)に形成された配線11およびフリップチップ接続ランド12と、インターポーザ基板10の下面に形成されたはんだ電極13とが図示されている。 20

【0042】

また、インターポーザ基板10の上面のフリップチップ接続ランド12は、配線11およびインターポーザ基板10に形成されたスルーホール14を介して、下面のはんだ電極13と電気的に接続されている。このスルーホール14は、インターポーザ基板10に貫通穴を形成し、その貫通穴の側面にCuめっきを施すなどの方法によって形成されたものである。

【0043】

これら配線部11~13は、例えば厚さ15μm程度の銅箔をインターポーザ基板10の表面に接着し、その銅箔表面にCuめっき(厚さ15μm程度)を行った後、エッチングすることにより形成されている。また、フリップチップ接続ランド12の表面には、接続性を向上させるためNi-Auめっきが施されている。 30

【0044】

さらに、このインターポーザ基板10においては、配線部11~13の表面の一部がソルダーレジスト15にて被覆されている。ソルダーレジスト15は、一般にはんだのレジスト材として工業的に用いられているものであり、エポキシ樹脂やアクリル樹脂等からなり、印刷法等にて形成される。

【0045】

具体的には、ソルダーレジスト15は、フリップチップ接続ランド12およびはんだ電極13以外のインターポーザ基板10の表面を覆うように、例えば10~30μmの厚さにて形成されたものとなっている。 40

【0046】

さらに、本実施形態では、ソルダーレジスト15の表面に中間層16が形成されている。この中間層16は、ソルダーレジスト15と後述するアンダーフィル材17との間に発生する応力を緩和するための層である。

【0047】

この中間層16は、熱膨張係数がアンダーフィル材17よりも大きく且つヤング率がソルダーレジスト15とアンダーフィル材17との中間の大きさである。

【0048】

ソルダーレジスト 15 およびアンダーフィル材 17 の物性によるため、限定するものではないが、たとえば、中間層 16 の熱膨張係数は $20 \sim 70 \text{ ppm}/^\circ\text{C}$ 程度、ヤング率は $3000 \sim 8000 \text{ MPa}$ 程度とすることができる。

【0049】

このような中間層 16 は、ソルダーレジスト 15 と同様、エポキシ樹脂、アクリル樹脂およびポリイミド樹脂等の樹脂材料を主成分とし、これにガラス繊維やフィラー材を加えたものを用いることができる。また、その厚さは $20 \sim 40 \mu\text{m}$ となるようにすることができる。

【0050】

そして、このような中間層 16 は、たとえば、ソルダーレジスト 15 の上に印刷することにより形成したり、ソルダーレジスト 15 と中間層 16 との 2 層をベタで積層成膜した後、フォトリソグラフ技術などを用いて両層 15、16 をパターニングすることにより形成することができる。

【0051】

また、中間層 16 となるフィルムをソルダーレジスト 15 の上に貼り付けた後、パターニングを行い、中間層 16 を形成するようにしてもよい。なお、これら中間層 16 の形成方法は一例であり、これらの方法に限定されるものではない。

【0052】

このように、インターポーザ基板 10 は、一面側に配線部 11、12 を有し、配線部 11、12 の表面の一部がソルダーレジスト 15 にて被覆されたものであって、さらにソルダーレジスト 15 の表面が中間層 16 にて被覆されたものとなっている。

【0053】

そして、図 1 に示されるように、インターポーザ基板 10 の上面（チップ搭載面）の上すなわち中間層 16 の上には、上記アンダーフィル材 17 を介してシリコン等の半導体よりなる半導体チップ 18 が搭載されている。

【0054】

この半導体チップ 18 は、図示しない複数のパッドを有しており、そのパッドに対応して金やはんだなどからなるフリップチップバンプ 19 が設けられている。そして、半導体チップ 18 は、これらフリップチップバンプ 19 を介してインターポーザ基板 10 のフリップチップ接続ランド 12 に電氣的に接続されている。

【0055】

そして、アンダーフィル材 17 は、半導体チップ 18 とインターポーザ基板 10 すなわち中間層 16 との隙間を埋めるように充填された形となっている。

【0056】

ここで、アンダーフィル材 17 は、一般的なアンダーフィル材料を採用することができるが、たとえば、シリカ等のフィラー等を混ぜることにより熱膨張係数等を調整したエポキシ樹脂等からなるものである。

【0057】

さらに、インターポーザ基板 10 の下面では、ソルダーレジスト 15 から露出するはんだ電極 13 の表面に、はんだ材料からなるバンプ 20 が形成されている。このバンプ 20 は、たとえば、 Pb-Sn はんだや Sn-Ag-Cu などのはんだ材料からなるものにて

【0058】

このような半導体装置 S1 は、たとえば、次のようにして製造される。配線部 11～13、スルーホール 14、ソルダーレジスト 15、および中間層 16 が形成されたインターポーザ基板 10 の上面に、フリップチップバンプ 19 を介して半導体チップ 18 を搭載し、半導体チップ 18 とインターポーザ基板 10 とを接続する。

【0059】

そして、半導体チップ 18 とインターポーザ基板 10 との隙間にアンダーフィル材 17 を充填する。その後、はんだ電極 13 にバンプ 20 を形成する。こうして、本実施形態の

半導体装置 S 1 ができあがる。

【0060】

この半導体装置 S 1 は、プリント基板やセラミック基板等からなり、表面に電極 110 が形成された基板 100 の上に、パンプ 20 を介して搭載され、はんだリフローなどを行うことにより、基板 100 に実装される。

【0061】

ところで、本実施形態によれば、少なくとも一面側に配線部 11、12 を有し、配線部 11、12 の表面の一部が溶剤レジスト 15 にて被覆されたインターポーザ基板 10 と、インターポーザ基板 10 の一面側にフリップチップパンプ 19 を介して搭載された半導体チップ 18 と、半導体チップ 18 とインターポーザ基板 10 との隙間を埋めるように充填されたアンダーフィル材 17 とを備える半導体装置 S 1 において、溶剤レジスト 15 とアンダーフィル材 17 との間に、溶剤レジスト 15 とアンダーフィル材 17 との間に発生する応力を緩和するための中間層 16 が介在していることを特徴とする半導体装置 S 1 が提供される。

10

【0062】

それによれば、溶剤レジスト 15 とアンダーフィル材 17 との間に介在する中間層 16 によって、溶剤レジスト 15 とアンダーフィル材 17 との間に発生する応力が緩和される。

【0063】

たとえば、図 2 に示されるように、アンダーフィル材 17 のフィレット部の端部近傍およびアンダーフィル材 17 に発生したボイドの端部近傍において、アンダーフィル材 17 の端部で熱応力が発生しても、この応力は、その下に位置する中間層 16 で緩和、吸収され溶剤レジスト 15 での応力集中はほとんど発生しない。

20

【0064】

したがって、溶剤レジスト 15 には、従来のようにクラックが発生しなくなる（上記図 8 参照）。その下の配線 11 が半導体チップ 18 の下部で断線するという問題も防止できる。

【0065】

このように、本実施形態によれば、従来の構成（上記図 7 参照）に加えて中間層 16 を介在させるのみの簡単な構成であるため、溶剤レジスト 15 や配線部 11 の構成を変更することなく、溶剤レジスト 15 へ加わる応力の集中を低減することができる。したがって、溶剤レジスト 15 へ加わる応力による配線部 11 の断線を抑制することができる。

30

【0066】

ここで、本実施形態では、中間層 16 を、熱膨張係数がアンダーフィル材 17 よりも大きく且つヤング率が溶剤レジスト 15 とアンダーフィル材 17 との中間の大きさであるものとしている。中間層 16 をこのようなものとするにより、上記した本実施形態の効果を適切に実現することができる。

【0067】

〔変形例〕

ここで、本実施形態の変形例を述べておく。

40

【0068】

上述したように、配線 11 の断線は、アンダーフィル材 17 のフィレット部の端部近傍およびアンダーフィル材 17 に発生したボイドの端部近傍において発生しやすい（上記図 8 参照）。

【0069】

そこで、上記図 1 に示されるように、溶剤レジスト 15 の表面のほぼ全域に中間層 16 を設けなくても、配線 11 の断線が顕著な部位に選択的に中間層 16 を設けるようにしてもよい。

【0070】

50

具体的には、配線 11 の断線が、アンダーフィル材 17 のフィレット部の端部近傍において比較的発生しやすい場合には、図 3 に第 1 の変形例として示されるように、中間層 16 を、アンダーフィル材 15 のフィレット部の端部の直下に選択的に設けるようにすればよい。

【0071】

また、逆に、配線 11 の断線が、アンダーフィル材 17 のフィレット部の端部近傍においてさほど問題にならない場合には、図 4 に第 2 の変形例として示されるように、中間層 16 を、アンダーフィル材 15 のフィレット部よりも内周側に選択的に設けるようにしてもよい。

【0072】

さらに、図 5 は、本実施形態の第 3 の変形例を示す概略断面図である。この第 4 の変形例では、中間層 16 を、インターポーザ基板 10 におけるアンダーフィル材 17 側の面すなわち上面に形成するだけでなく、実装基板 100 側の下面においてもソルダーレジスト 15 の表面に形成したものである。

【0073】

このようにすることにより、インターポーザ基板 10 の上下両面に中間層 16 が形成され、当該上下両面の膜構成を上記図 1 に示される構成に比べて、より対称に近いものとなる。このことは、インターポーザ基板 10 が実装時や実装後の使用環境において反るのを防止するためには、好ましい。

【0074】

(第 2 実施形態)

図 6 は、本発明の第 2 実施形態に係る半導体装置 S2 としての BGA (ボールグリッドアレイ) の概略断面構成を示す図である。

【0075】

図 6 に示される半導体装置 S2 は、上記図 1 に示される半導体装置において、中間層 16 を省略したものである。

【0076】

さらに、この半導体装置 S2 では、インターポーザ基板 10 は、スルーホール 14 を有するものであり、インターポーザ基板 10 の一面側に設けられた配線 11 は、アンダーフィル材 17 のフィレット部の端部の直下では、スルーホール 14 を介してインターポーザ基板 10 の内部に引き出されている。

【0077】

本実施形態によれば、少なくとも一面側に配線部 11、12 を有し、配線部 11、12 の表面の一部がソルダーレジスト 15 にて被覆されたインターポーザ基板 10 と、インターポーザ基板 10 の一面側にフリップチップ bumps 19 を介して搭載された半導体チップ 18 と、半導体チップ 18 とインターポーザ基板 10 との隙間を埋めるように充填されたアンダーフィル材 17 とを備える半導体装置 S2 において、次のような特徴点を有する半導体装置 S2 が提供される。

【0078】

すなわち、インターポーザ基板 10 の一面側に設けられた配線部 11 は、アンダーフィル材 17 のフィレット部の端部の直下では、インターポーザ基板 10 に設けられたスルーホール 14 を介してインターポーザ基板 10 の内部に引き出されていることを特徴する半導体装置 S2 が提供される。

【0079】

それによれば、配線部の断線の生じやすいアンダーフィル材 17 のフィレット部の端部において、ソルダーレジスト 15 の直下に配線部が存在しないため、ソルダーレジスト 15 へ加わる応力による配線部の断線という問題は回避される。

【0080】

よって、本実施形態によれば、ソルダーレジスト 15 へ加わる応力による配線部の断線を抑制することができる。

10

20

30

40

50

【0081】

また、本実施形態では、図6に示される半導体装置S2において、さらに、上記図1に示されるものと同様に、中間層16を有するものとしてもよい。それによれば、本実施形態の効果に加えて上記第1実施形態の効果も期待できる。

【0082】

(他の実施形態)

なお、本発明は上記したBGA以外にも、少なくとも一面側に配線部を有し、配線部の表面の一部がソルダーレジストにて被覆されたインターポーザ基板と、インターポーザ基板の一面側にフリップチップバンプを介して搭載された半導体チップと、半導体チップとインターポーザ基板との隙間を埋めるように充填されたアンダーフィル材とを備える半導体装置について適用可能であることは上述の説明から明らかである。 10

【図面の簡単な説明】

【0083】

【図1】本発明の第1実施形態に係る半導体装置の概略断面図である。

【図2】(a)は図1に示される半導体装置においてアンダーフィル材のフィレット部の端部近傍を拡大して示す断面図、(b)は図1に示される半導体装置においてアンダーフィル材に発生したボイドの端部近傍を拡大して示す断面図である。

【図3】上記第1実施形態の第1の変形例としての半導体装置を示す概略断面図である。

【図4】上記第1実施形態の第2の変形例としての半導体装置を示す概略断面図である。

【図5】上記第1実施形態の第3の変形例としての半導体装置を示す概略断面図である。 20

【図6】本発明の第2実施形態に係る半導体装置の概略断面図である。

【図7】フリップチップ型のBGAの一般的な断面構成を示す図である。

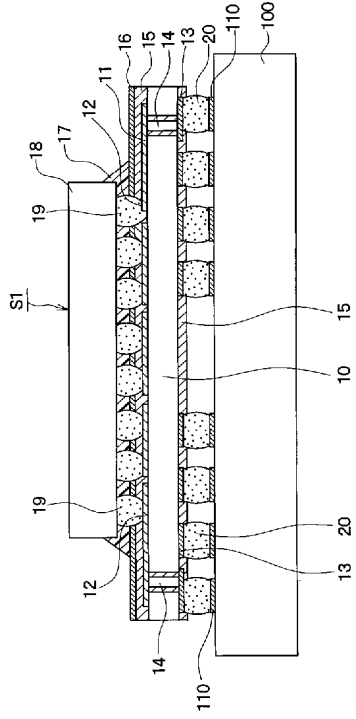
【図8】(a)は図7に示されるBGAにおいてアンダーフィル材のフィレット部の端部近傍を拡大して示す断面図、(b)は図7に示されるBGAにおいてアンダーフィル材に発生したボイドの端部近傍を拡大して示す断面図である。

【符号の説明】

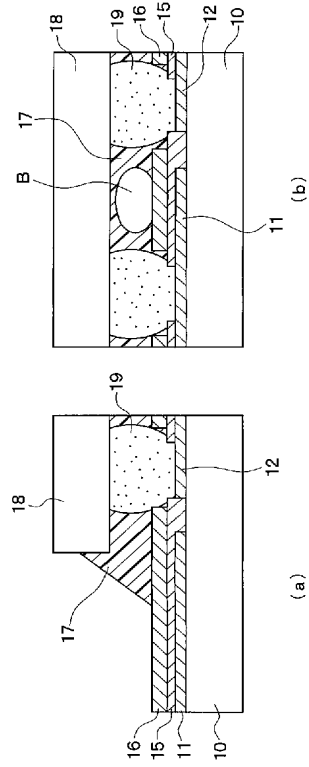
【0084】

- 10…インターポーザ基板、11…配線、12…フリップチップ接続ランド、
- 14…スルーホール、15…ソルダーレジスト、16…中間層、
- 17…アンダーフィル材、18…半導体チップ、19…フリップチップバンプ。

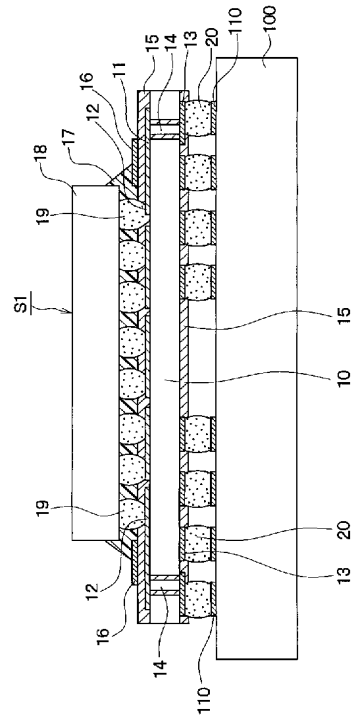
【図 1】



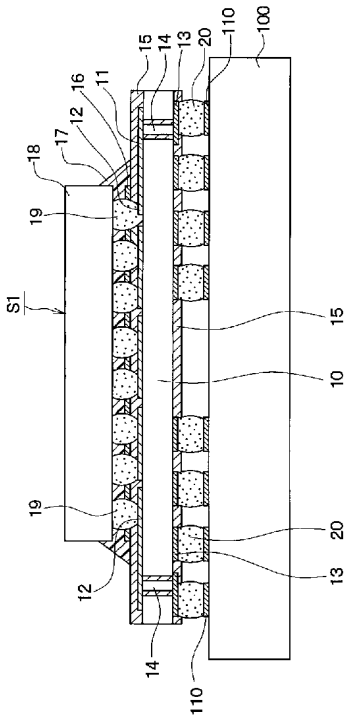
【図 2】



【図 3】



【図 4】



PAT-NO: JP02005203488A
DOCUMENT-IDENTIFIER: JP 2005203488 A
TITLE: SEMICONDUCTOR DEVICE
PUBN-DATE: July 28, 2005

INVENTOR-INFORMATION:

NAME	COUNTRY
OTA, SHINJI	N/A
ASAI, SHOKI	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
DENSO CORP	N/A

APPL-NO: JP2004006670
APPL-DATE: January 14, 2004

INT-CL (IPC): H01L023/32

ABSTRACT:

PROBLEM TO BE SOLVED: To suppress disconnection at a wiring part due to a stress being applied to solder resist in a flip-chip type BGA.

SOLUTION: The semiconductor device S1 comprises an interposer substrate 10 having wiring parts 11 and 12 on one side with the surface of the wiring parts 11 and 12 being covered partially with solder resist 15, a semiconductor chip 18 mounted

on one side of the interposer substrate 10 through a flip-chip bump 19, and an underfill material 17 filling the gap between the semiconductor chip 18 and the interposer substrate 10 wherein an intermediate layer 16 for relaxing stress generating between the solder resist 15 and the underfill material 17 is provided between them.

COPYRIGHT: (C) 2005, JPO&NCIPI